



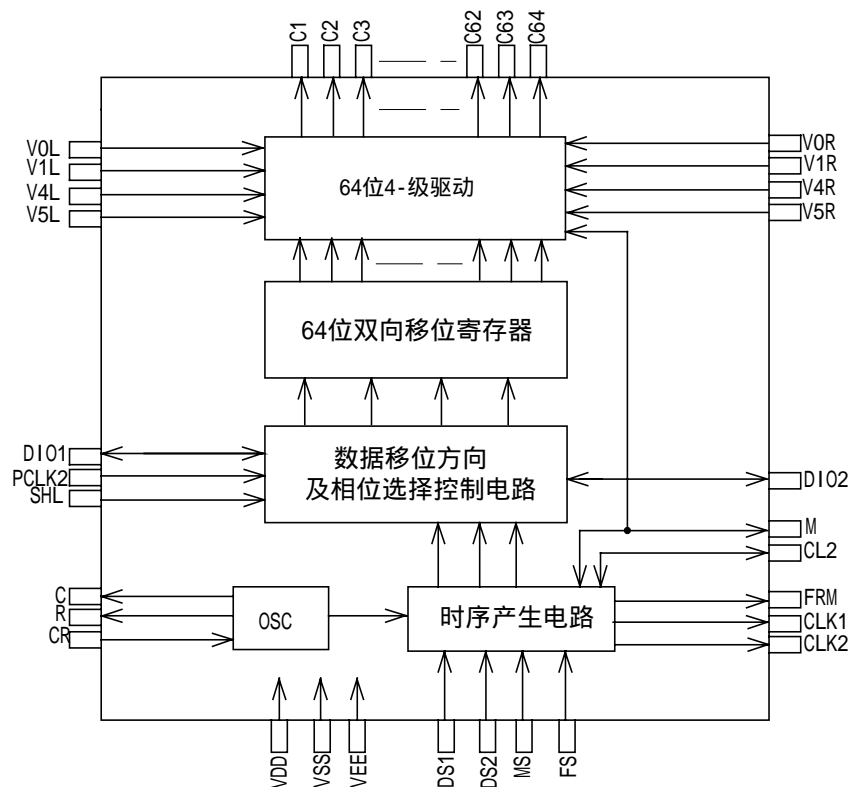
概述

AIP31107 是一种点阵式液晶行驱动电路，具有 64 通道输出。该电路提供 64 位移位寄存器和 64 位输出驱动，并产生时序信号控制 AIP31108。AIP31107 采用低功耗、高压 CMOS 工艺制造，和 AIP31108 一起组成液晶驱动模块。

功能特点

- 64 通道输出的点阵式 LCD 驱动
- 内含 64 位移位寄存器
- 内含时序产生电路以实现动态显示
- 可选择主/从模式
- LCD 占空比：1/48，1/64，1/96，1/128
- 电源电压： $+5V \pm 10\%$
- 液晶驱动电压： $8V \sim 17V (V_{DD}-V_{EE})$
- 高压 CMOS 工艺
- 芯片尺寸：3180*3840 (um *um)，芯片衬底接 VDD。
- QFP100/TQFP100/管芯

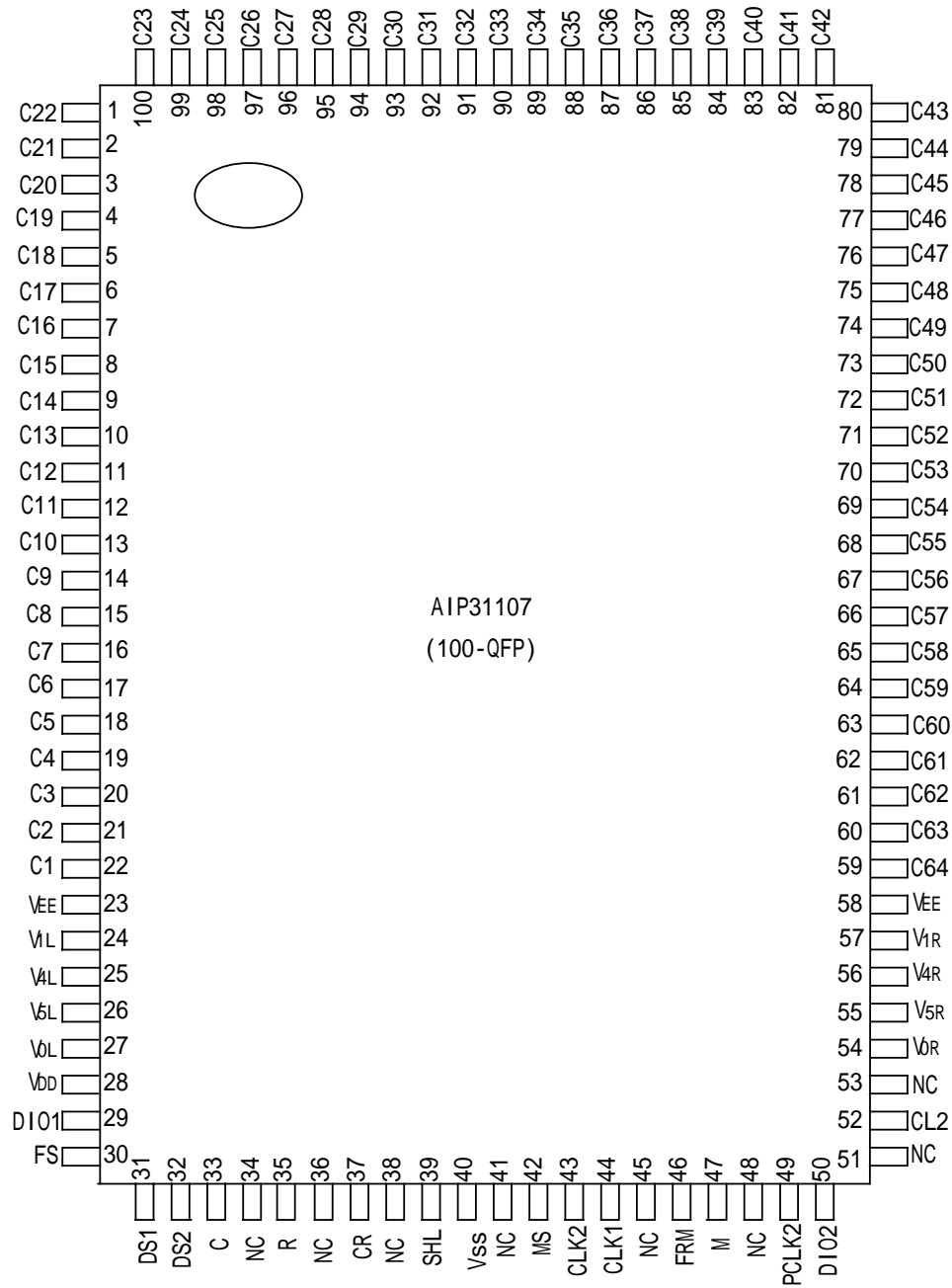
功能框图





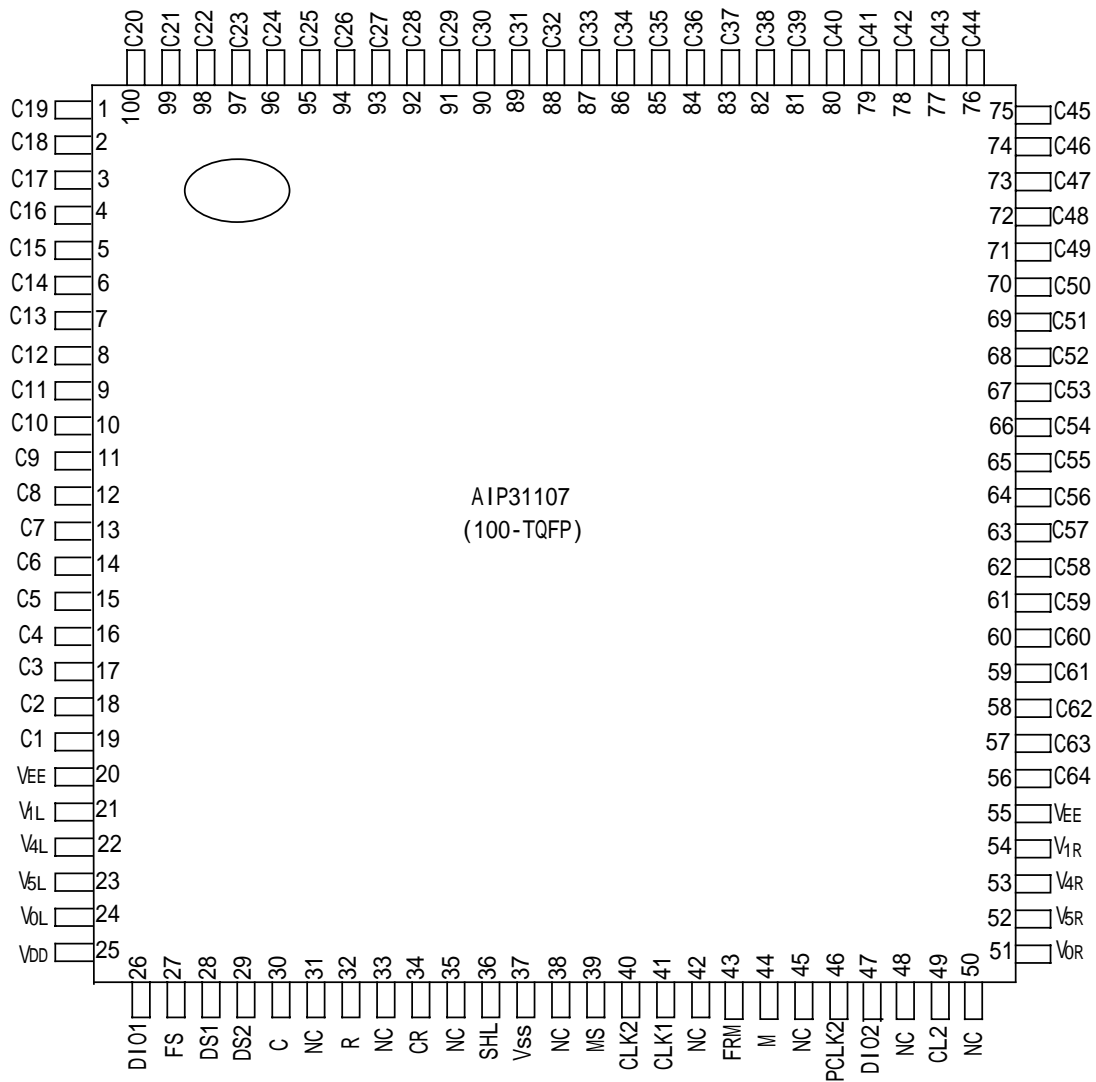
管脚排列

100-QFP





100-TQFP

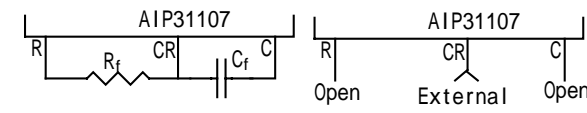
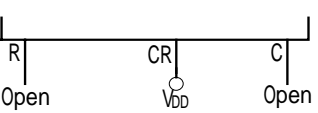




管脚说明

管脚号 QFP (TQFP)	管脚名称	I/O	说明						
28 (25) 40 (37) 23 (20), 58 (55)	VDD VSS VEE	电源	内部逻辑电路电压(+5V ± 10%) 地 (0V) LCD 驱动电压						
27 (24), 54 (51) 24 (21), 57 (54) 25 (22), 56 (53) 26 (23), 55 (52)	V _{0L} , V _{0R} V _{1L} , V _{1R} V _{4L} , V _{4R} V _{5L} , V _{5R}	电源	LCD 驱动终端偏置电压 <table border="1" style="margin-left: 20px;"> <tr> <th>选择电平</th> <th>非选择电平</th> </tr> <tr> <td>V_{0L(R)}, V_{5L(R)}</td> <td>V_{1L(R)}, V_{4L(R)}</td> </tr> </table> V _{0L} 和 V _{0R} (V _{1L} &V _{1R} , V _{4L} &V _{4R} , V _{5L} &V _{5R}) 应接同一电压	选择电平	非选择电平	V _{0L(R)} , V _{5L(R)}	V _{1L(R)} , V _{4L(R)}		
选择电平	非选择电平								
V _{0L(R)} , V _{5L(R)}	V _{1L(R)} , V _{4L(R)}								
42 (39)	MS	I	主/从 模式选择 - 主机模式 (MS=1) DIO1, DIO2, CL2 和 M 为输出态 - 从机模式 (MS=0) SHL=1 DIO1 为输入态(DIO2 为输出态) SHL=0 DIO2 为输入态(DIO1 为输出态) CL2 和 M 为输入态						
39 (36)	SHL	I	数据传输方向 <table border="1" style="margin-left: 20px;"> <tr> <th>SHL</th> <th>数据传输方向</th> </tr> <tr> <td>H</td> <td>DIO1 C1...C64 DIO2</td> </tr> <tr> <td>L</td> <td>DIO2 C64...C1 DIO1</td> </tr> </table>	SHL	数据传输方向	H	DIO1 C1...C64 DIO2	L	DIO2 C64...C1 DIO1
SHL	数据传输方向								
H	DIO1 C1...C64 DIO2								
L	DIO2 C64...C1 DIO1								
49 (46)	PCLK2	I	移位时钟(CLK2)相位 <table border="1" style="margin-left: 20px;"> <tr> <th>PCLK2</th> <th>移位时钟(CLK2)相位</th> </tr> <tr> <td>H</td> <td>CL2 上升沿移位</td> </tr> <tr> <td>L</td> <td>CL2 下降沿移位</td> </tr> </table>	PCLK2	移位时钟(CLK2)相位	H	CL2 上升沿移位	L	CL2 下降沿移位
PCLK2	移位时钟(CLK2)相位								
H	CL2 上升沿移位								
L	CL2 下降沿移位								
30 (27)	FS	I	振荡频率选择 - 主机模式 当帧频率为 70Hz, 振荡频率为 FS=1—fosc=430KHz FS=0—fosc=215KHz - 从机模式 接 VDD						



管脚号 QFP (TQFP)	管脚 名称	I/O	说明															
31(28) 32(29)	DS1 DS2	I	显示占空比选择 - 主机模式 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>DS1</th> <th>DS2</th> <th>占空比</th> </tr> </thead> <tbody> <tr> <td>L</td> <td>L</td> <td>1/48</td> </tr> <tr> <td>L</td> <td>H</td> <td>1/64</td> </tr> <tr> <td>H</td> <td>L</td> <td>1/96</td> </tr> <tr> <td>H</td> <td>H</td> <td>1/128</td> </tr> </tbody> </table> - 从机模式 接 V _{DD}	DS1	DS2	占空比	L	L	1/48	L	H	1/64	H	L	1/96	H	H	1/128
DS1	DS2	占空比																
L	L	1/48																
L	H	1/64																
H	L	1/96																
H	H	1/128																
33(30) 35(32) 37(34)	C R CR		RC 振荡 - 主机模式:如下图接法  - 从机模式:如下图接法 															
44(41) 43(40)	CLK1 CLK2	O	AIP31108 运行时钟 - 主机模式:接 AIP31108 CLK1 和 CLK2 - 从机模式:开路															
46(43)	FRM	O	帧同步信号 - 主机模式:接 AIP31108 FRM 端 - 从机模式:开路															
47(44)	M	I/O	LCD 驱动转换信号 - 主机模式: 输出口, 接 AIP31108 的 M 端 - 从机模式: 输入口, 接控制器															
52(49)	CL2	I/O	数据移位时钟 - 主机模式: 输出态, 接 AIP31108 的 CL 端 - 从机模式: 输入态, 接控制器移位时钟端															



管脚号 QFP (TQFP)	管脚 名称	I/O	说明			
29(26) 50(47)	DIO1 DIO2	I/O	内部移位寄存器数据输入/输出引脚			
			MS	SHL	DIO1	DIO2
			H	H	OUT	OUT
				L	OUT	OUT
L	H	IN	OUT			
	L	OUT	IN			
22-1 (19-1) 100-59 (100-56)	C1-C64	O	LCD 驱动信号输出			
			Data	M	OUT	
			L	L	V1	
			L	H	V4	
			H	L	V5	
H	H	V0				
34(31),36(33) 38(35),41(38) 45(42),48(45) 51(48),53(50)	NC		未连接			

最大极限工作条件

特性	符号	值	单位	备注
工作电压	V _{DD}	-0.3 ~ +0.7	V	(1)
电源电压	V _{EE}	V _{DD} -19.0 ~ V _{DD} +0.3	V	(4)
驱动器电源电压	V _B	-0.3 ~ V _{DD} +0.3	V	(1),(2)
	V _{LCD}	V _{EE} -0.3 ~ V _{DD} +0.3	V	(3),(4)
工作温度	T _{OPR}	-30 ~ +85		—
存储温度	T _{STG}	-55 ~ +125		—

注：

- (1) 对 V_{SS}=0V
- (2) 使输入端和 I/O 端置于高阻态(V_{OL(R)}, V_{1L(R)}, V_{4L(R)}和 V_{5L(R)} 除外)
- (3) 对 V_{OL(R)}, V_{1L(R)}, V_{4L(R)}和 V_{5L(R)}
- (4) 电压电平：V_{DD} V_{OL}=V_{OR} V_{1L}=V_{1R} V_{4L}=V_{4R} V_{5L}=V_{5R} V_{EE}



电气特性

直流特性 ($V_{DD}=+5V \pm 10\%$, $V_{SS}=0V$, $|V_{DD}-V_{EE}|=8 \sim 17V$, $T_a=-30 \sim +85$)

参数	符号	条件	最小	典型	最大	单位	备注
输入电压	H	V_{IH}	$0.7V_{DD}$	—	V_{DD}	V	(1)
	L	V_{IL}	V_{SS}	—	$0.3V_{DD}$		
输出电压	H	V_{OH}	$I_{OH}=-0.4mA$	$V_{DD}-0.4$	—	V	(2)
	L	V_{OL}	$I_{OL}=0.4mA$	—	0.4		
输入漏电流	I_{LKG}	$V_{IN}=V_{DD}-V_{SS}$	-1.5	—	1.5	μA	(1)
振荡频率	f_{OSC}	$R_f=47K \pm 2\%$ $C_f=20pf \pm 5\%$	315	450	585	KHz	
导通电阻	R_{ON}	$V_{DD}-V_{EE}=17V$ 负载电流= $\pm 150\mu A$	—	—	1.5	K	
工作电流	I_{DD1}	1/128 (主机模式)	—	—	1.2	mA	(3)
	I_{DD2}	1/128 (从机模式)	—	—	200	μA	(4)
电源电流	I_{EE}	1/128 (主机模式)	—	—	100	μA	(5)
工作频率	f_{OP1}	主机模式 外部时钟	50	—	600	KHz	
	f_{OP2}	从机模式	0.5	—	1500		

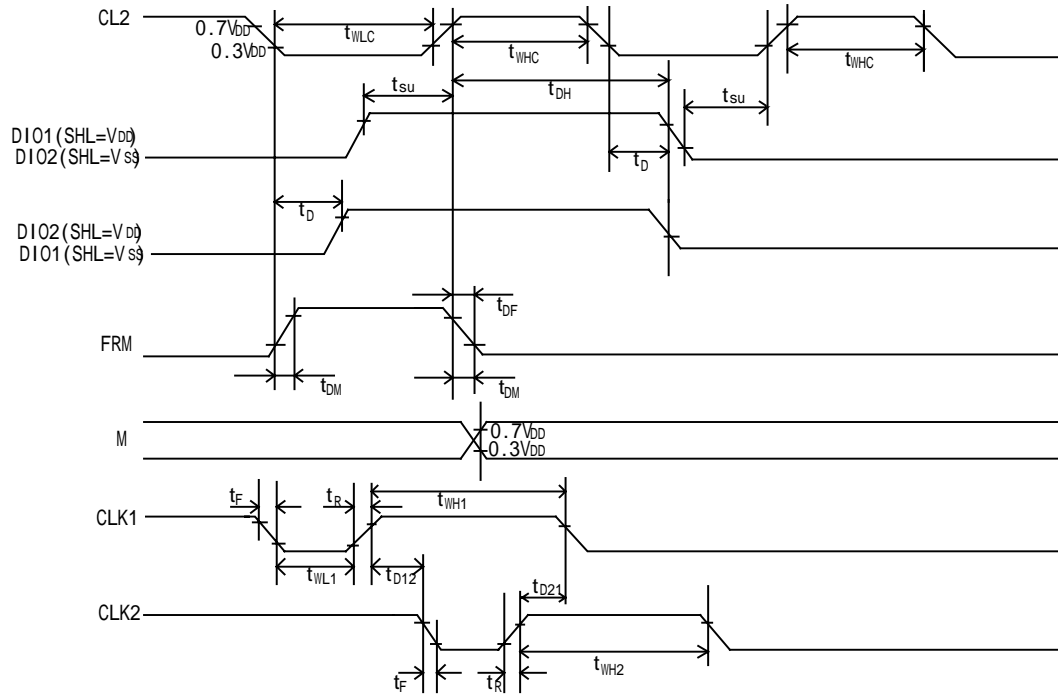
注：

1. 相应端口：FS，DS1，DS2，CR，SHL，MS，PCLK2 和 (I/O) DI01，DI02，M，CL2 端口为输入态。
2. 相应端口：CLK1，CLK2，FRM 和 (I/O) DI01，DI02，M，CL2 端口为输出态。
3. 该值为 V_{SS} 上流过的电流值。内接振荡电路： $R_f=47K$ ， $C_f=20Pf$ ，DS1，DS2，FS，SHL 和 MS 端口接至 V_{DD} ，输出空载。
4. 该值为 V_{SS} 上流过的电流值，DS1，DS2，FS，SHL，PCLK2 和 CR 端口接 V_{DD} ，MS 接 V_{SS} ，CL2，M，DI01 接外部时钟。
5. 该值为 V_{EE} 上流过的电流值，不接 V_{LCD} (V1 ~ V5)



交流特性 ($V_{DD}=5V \pm 10\%$, $T_A=-30 \sim +85$)

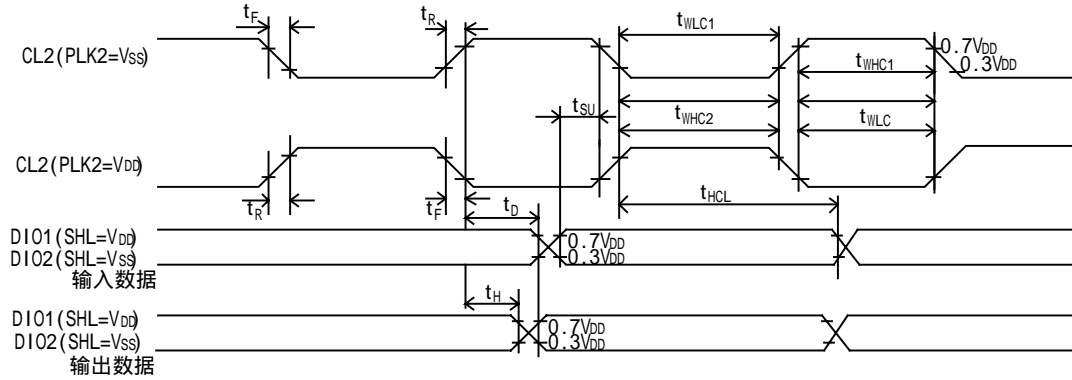
主机模式 ($MS=V_{DD}$, $PCLK2=V_{DD}$, $C_f=20pF$, $R_f=47K$)



特性	符号	最小	典型	最大	单位
数据设置时间	t _{SU}	20	—	—	uS
数据保持时间	t _{DH}	40	—	—	
数据延迟时间	t _D	5	—	—	
FRM 延迟时间	t _{DF}	-2	—	2	
M 延迟时间	t _{DM}	-2	—	2	
CL2 低电平宽度	t _{WLC}	35	—	—	nS
CL2 高电平宽度	t _{WHC}	35	—	—	
CLK1 低电平宽度	t _{WL1}	700	—	—	
CLK2 低电平宽度	t _{WL2}	700	—	—	
CLK1 高电平宽度	t _{WH1}	2100	—	—	
CLK2 高电平宽度	t _{WH2}	2100	—	—	
CLK1-CLK2 相位差	t _{D12}	700	—	—	
CLK2-CLK1 相位差	T _{D21}	700	—	—	
CLK1, CLK2 上升/下降时间	t _R /t _F	—	—	150	

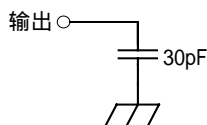


从机模式 (MS=Vss)



特性	符号	最小	典型	最大	单位	备注
CL2 低电平宽度	tWLC1	450	—	—	ns	PCLK2=Vss
CL2 高电平宽度	tWHC1	150	—	—	ns	PCLK2=Vss
CL2 低电平宽度	tWLC2	150	—	—	ns	PCLK2=VDD
CL2 高电平宽度	tWHL	450	—	—	ns	PCLK2=VDD
数据设置时间	tSU	100	—	—	ns	
数据保持时间	tDH	100	—	—	ns	
数据延迟时间	tD	—	—	200	ns	(见注解)
输出数据保持时间	tH	10	—	—	ns	
CL2 上升/下降时间	tR/tF	—	—	30	ns	

注：接负载 CL=30pF

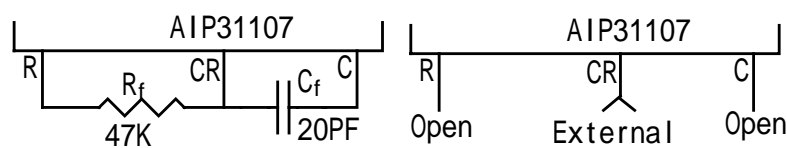


功能描述

RC 振荡

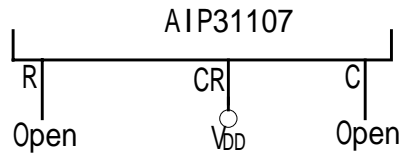
RC 振荡产生 AIP31107 的 CL2, M, FRM 和 AIP31108 的 CLK1, CLK2

主机模式：按下图所示振荡





从机模式：按下图所示停振



时序产生电路

振荡电路产生 CL2, M, FRM, CLK1 和 CLK2

选择主/从 (M/S) 模式

当 M/S 是高电平，内部产生 CL2, M, FRM, CLK1 和 CLK2。

当 M/S 是低电平，电路依靠从主机接收 M 和 CL2 运行。

频率选择 (FS)

选择 FRM 频率为 70Hz，振荡频率由如下：

FS	振荡频率
H	fosc=430KHz
L	fosc=215KHz

在从机模式下，FS 接到 VDD

模式选择 (DS1, DS2)

根据 DS1 和 DS2 选择不同的显示模式

DS1	DS2	占空比
L	L	1/48
	H	1/64
H	L	1/96
	H	1/128

数据移位/相位选择控制

相位选择

根据 PCLK2 选择数据移位同步时钟触发沿

PCLK2	相位选择
H	在 CL2 上升沿数据移位
L	在 CL2 下降沿数据移位



数据移位方向选择

当 M/S 接 V_{DD} ，DIO1 和 DIO2 仅为输出端。

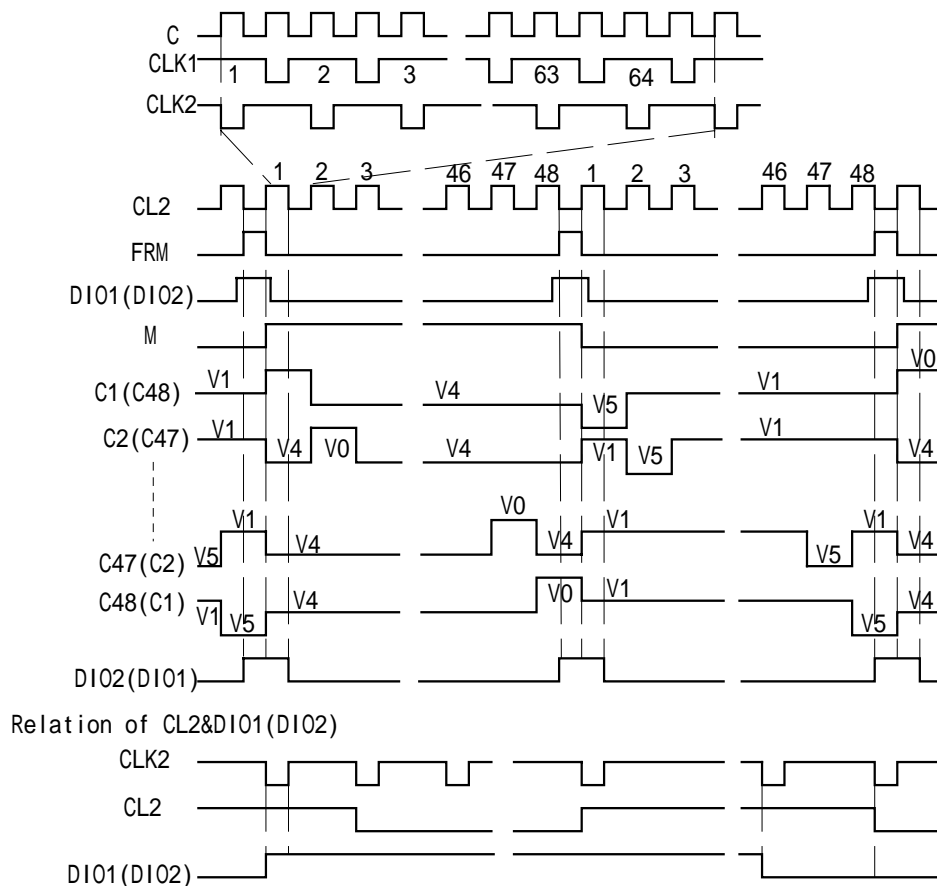
当 M/S 接 V_{SS} ，由 SHL 决定。

MS	SHL	DIO1	DIO2	数据方向
H	H	O	O	C1 C64
	L	O	O	C64 C1
L	H	I	O	DIO1 C1 C64 DIO2
	L	O	I	DIO2 C64 C1 DIO1

时序图

1/48 占空比时序 (主机模式)

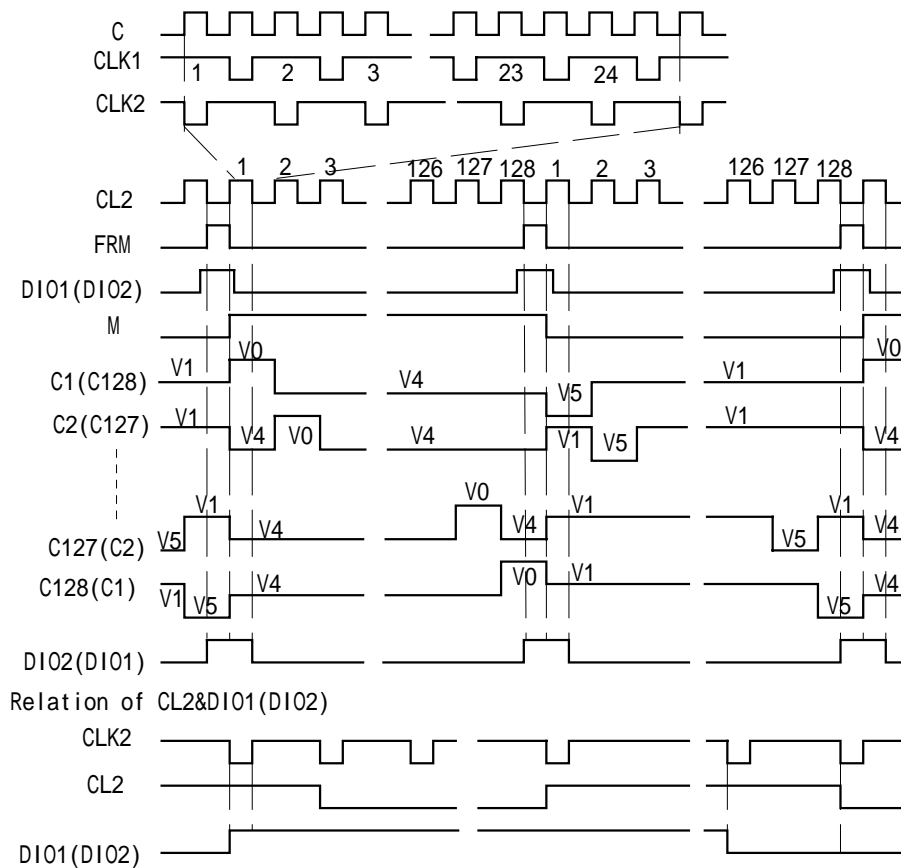
条件：DS1=L，DS2=L，SHL=H(L)，PCLK2=H





1/128 占空比时序 (主机模式)

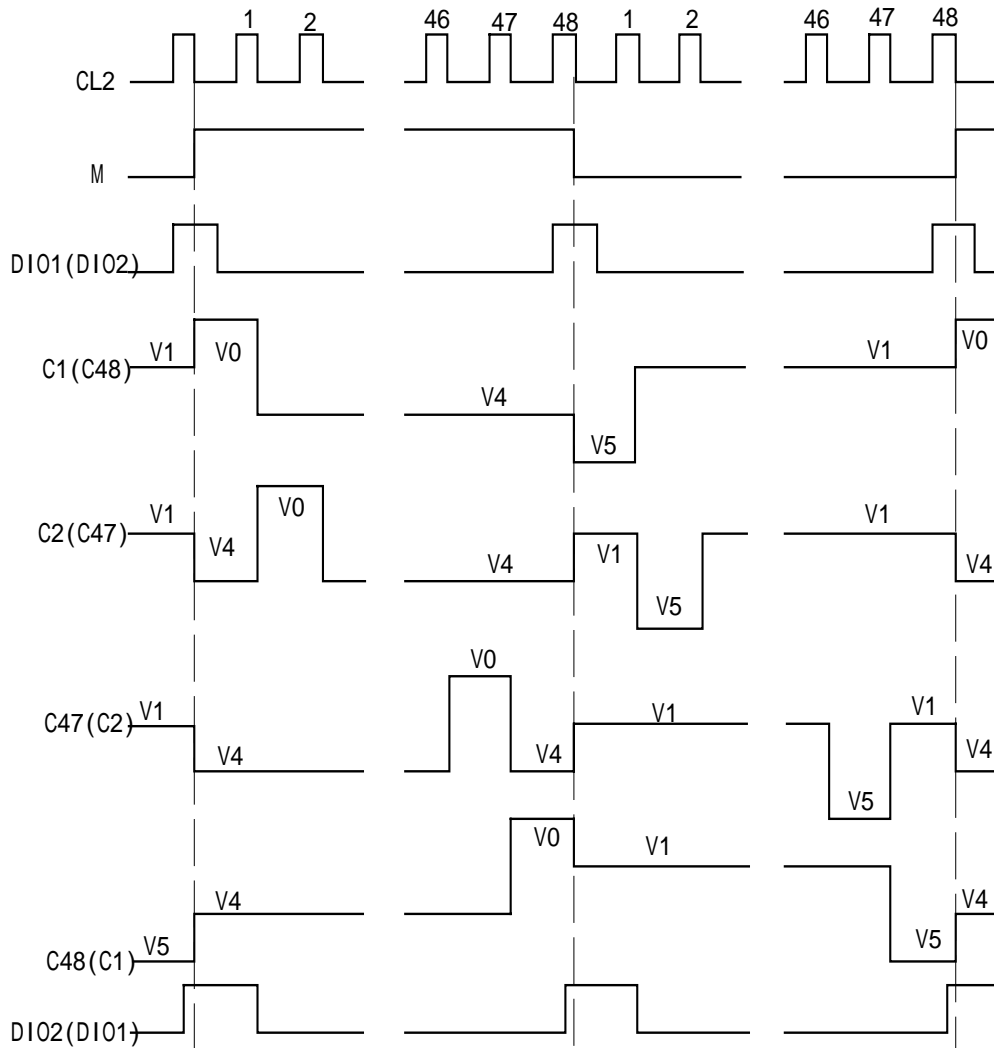
条件 : DS1=H , DS2=H , SHL=H (L) , PCLK2=H





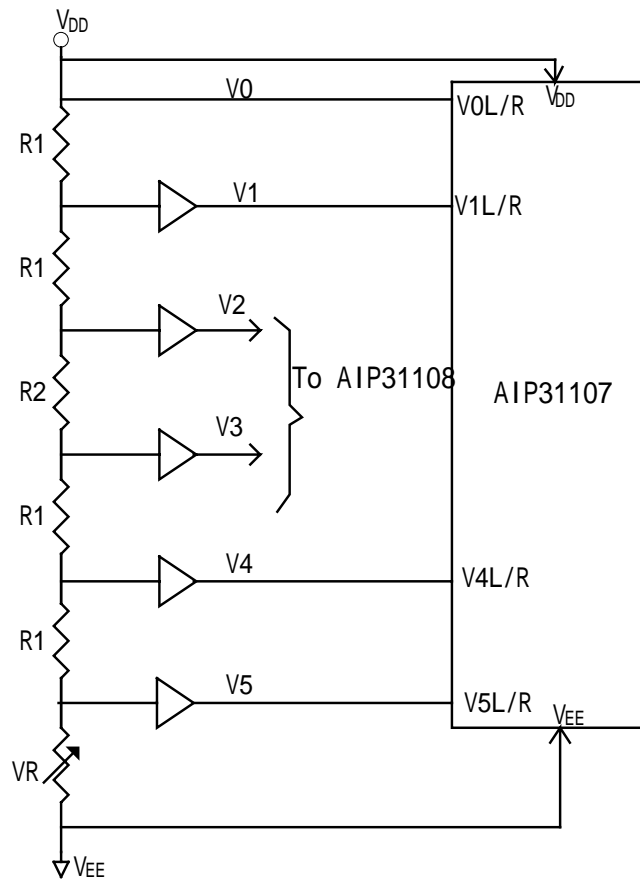
1/48 占空比时序 (从机模式)

条件: PCLK2=L, SHL=H(L),





功率驱动器电路



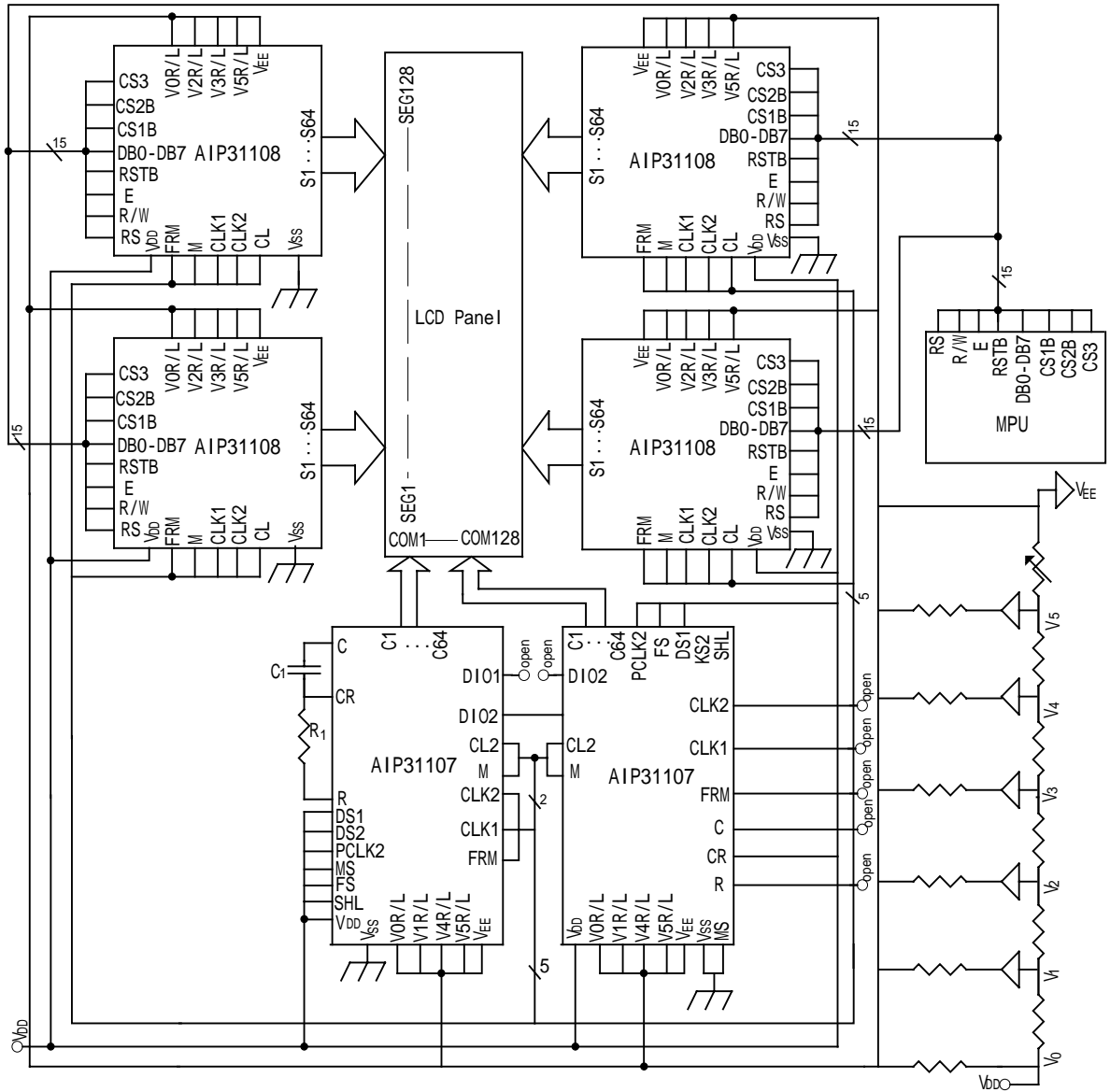
占空比和偏置电压的关系

Duty	Bias	RDIV
1/48	1/8	R2=4R1
1/64	1/9	R2=5R1
1/96	1/11	R2=7R1
1/128	1/12	R2=8R1

当占空比是 1/48 时，R1、R2 的值满足 $R1 / (4R1 + R2) = 1/8$ ，R1=3K，R2=12K

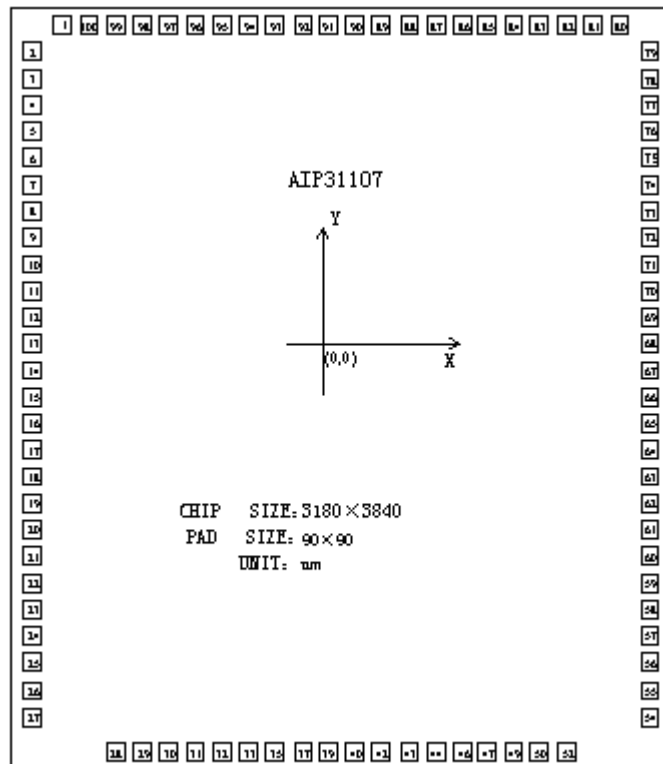


应用图





PAD 图



PAD 坐标

序号	PAD名	X	Y	序号	PAD名	X	Y
1	C22	278.50	3542.10	17	C6	145.00	1547.70
2	C21	145.00	3347.70	18	C5	145.00	1427.70
3	C20	145.00	3227.70	19	C4	145.00	1307.70
4	C19	145.00	3107.70	20	C3	145.00	1187.70
5	C18	145.00	2987.70	21	C2	145.00	1067.70
6	C17	145.00	2867.70	22	C1	145.00	947.70
7	C16	145.00	2747.70	23	VEE	145.00	827.70
8	C15	145.00	2627.70	24	V1L	145.00	707.70
9	C14	145.00	2507.70	25	V4L	145.00	587.70
10	C13	145.00	2387.70	26	V5L	145.00	467.70
11	C12	145.00	2267.70	27	V0L	145.00	347.70
12	C11	145.00	2147.70	28	VDD	515.40	145.00
13	C10	145.00	2027.70	29	DIO1	635.40	145.00
14	C9	145.00	1907.70	30	FS	755.40	145.00
15	C8	145.00	1787.70	31	DS1	875.40	145.00
16	C7	145.00	1667.70	32	DS2	995.40	145.00



无锡中微爱芯电子有限公司
Wuxi I-CORE Electronics Co., Ltd.

序号	PAD名	X	Y	序号	PAD名	X	Y
33	C	1115.40	145.00	67	C56	2932.00	1907.70
34	NC			68	C55	2932.00	2027.70
35	R	1235.40	145.00	69	C54	2932.00	2147.70
36	NC			70	C53	2932.00	2267.70
37	CR	1355.40	145.00	71	C52	2932.00	2387.70
38	NC			72	C51	2932.00	2507.70
39	SHL	1475.40	145.00	73	C50	2932.00	2627.70
40	VSS	1595.40	145.00	74	C49	2932.00	2747.70
41	NC			75	C48	2932.00	2867.70
42	MS	1715.40	145.00	76	C47	2932.00	2987.70
43	CLK2	1835.40	145.00	77	C46	2932.00	3107.70
44	CLK1	1955.40	145.00	78	C45	2932.00	3227.70
45	NC			79	C44	2932.00	3347.70
46	FRM	2075.40	145.00	80	C43	2798.50	3542.10
47	M	2195.40	145.00	81	C42	2678.50	3542.10
48	NC			82	C41	2558.50	3542.10
49	PCLK2	2315.40	145.00	83	C40	2438.50	3542.10
50	DIO2	2435.40	145.00	84	C39	2318.50	3542.10
51	NC			85	C38	2198.50	3542.10
52	CL2	2555.40	145.00	86	C37	2078.50	3542.10
53	NC			87	C36	1958.50	3542.10
54	V0R	2932.00	347.70	88	C35	1838.50	3542.10
55	V5R	2932.00	467.70	89	C34	1718.50	3542.10
56	V4R	2932.00	587.70	90	C33	1598.50	3542.10
57	V1R	2932.00	707.70	91	C32	1478.50	3542.10
58	VEE	2932.00	827.70	92	C31	1358.50	3542.10
59	C64	2932.00	947.70	93	C30	1238.50	3542.10
60	C63	2932.00	1067.70	94	C29	1118.50	3542.10
61	C62	2932.00	1187.70	95	C28	998.50	3542.10
62	C61	2932.00	1307.70	96	C27	878.50	3542.10
63	C60	2932.00	1427.70	97	C26	758.50	3542.10
64	C59	2932.00	1547.70	98	C25	638.50	3542.10
65	C58	2932.00	1667.70	99	C24	518.50	3542.10
66	C57	2932.00	1787.70	100	C23	398.50	3542.10



封装图 (QFP100-14×20-0.65)

